

今回は、汎用ロジック IC を使って実際に簡単なデジタル回路を設計してみる。

・得点表示回路の設計

【設計目標】

5 個の LED(発光ダイオード)を並べてスポーツなどの得点を表示する回路を設計したい。得点表示回路には、得点が入ったときに押す、押しボタンスイッチを設ける。そのスイッチを押すたびに、表 1 の様に表示が変わるものとする。(スイッチを 10 回押すと、0 回目の表示に戻る) また、全ての LED を消灯するリセットスイッチも設ける。

表 1、設計したい得点表示回路の表示の変化

スイッチを押した回数	LED の表示	スイッチを押した回数	LED の表示
0	○ ○ ○ ○ ○	5	● ● ● ● ●
1	● ○ ○ ○ ○	6	○ ● ● ● ●
2	● ● ○ ○ ○	7	○ ○ ● ● ●
3	● ● ● ○ ○	8	○ ○ ○ ● ●
4	● ● ● ● ○	9	○ ○ ○ ○ ●

○ : 消灯
● : 点灯

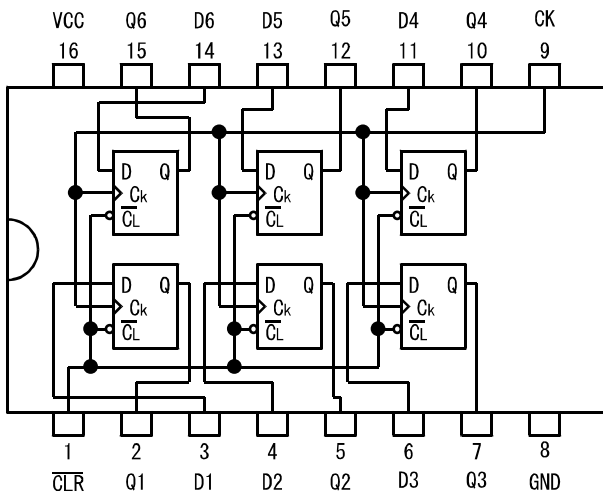
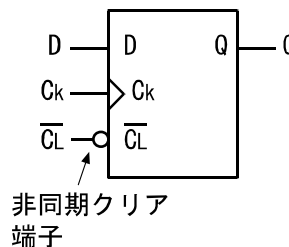


図 1、74HC174 のピン配置



(a) 回路記号

\overline{CL}	D	Ck	Q^{t+1}	動作
0	X	X	0	クリア
0	X	↑	0	クリア
0	X	↓	0	クリア
1	0	↑	0	リセット
1	1	↑	1	セット
1	X	↓	Q^t	保持
1	X	X	Q^t	保持

X: don't care

(b) 真理値表

図 2、非同同期クリア端子付き D-FF (ポジティブエッジトリガ、 \overline{Q} 端子なし)

【設計例】

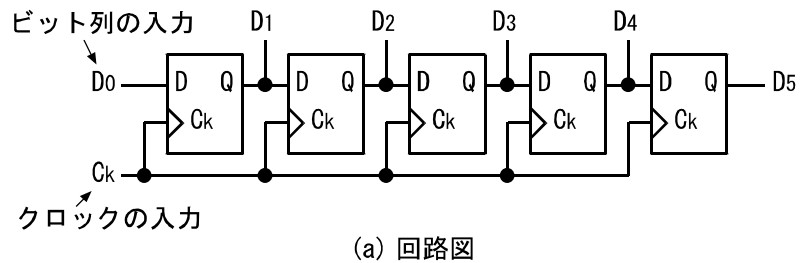
こういう状態の記憶の必要な回路の場合、フリップフロップを使う事になるが、LED1 個につき 1 つのフリップフロップを使う設計法を採用すると、フリップフロップは 5 個必要になる。74HC174 という汎用ロジック IC には、6 個の D-FF が内蔵されており、この IC 1 個で全てのフリップフロップをまかなえるので、便利である。この 74HC174 を使う事を前提に設計を進める。

74HC174 には、非同同期クリア端子付きのポジティブエッジトリガ D-FF が内蔵されている。ピン数の制限から、 \overline{Q} 端子は省略されている。

図 2(b)の真理値表に示すように、非同期クリア端子($\overline{C_L}$)に 0 を入力すると、他の入力端子(D と C_k)の状態にかかわらず、Q が 0 になる。クロック(C_k)のタイミングに関係なく Q を 0 にするので、非同期クリアと呼ぶ。

ところで表 1 を見ると、1 番左の LED を除く 4 つの LED の状態は、スイッチを押す前の左隣の LED の状態と同じになっている事に気づく。この様に、合図のたびに状態を右に一つずつシフトする回路は、シフトレジスタによって実現できる。

シフトレジスタとは、図 3(a)に示すように、複数の D-FF が 1 列に繋がっている物を指す。D 端子は左隣の D-FF の Q 端子と接続されており、 C_k 端子は全 D-FF で同じ信号線を共有している。



D_0 端子に順次ビット列を入力しながら、1 ビットの入力のたびに C_k 端子にクロックパルスを入力すると、図 3(b)のタイミングチャートの様に、順次入力されたビット列が右の D-FF に送られてゆく。

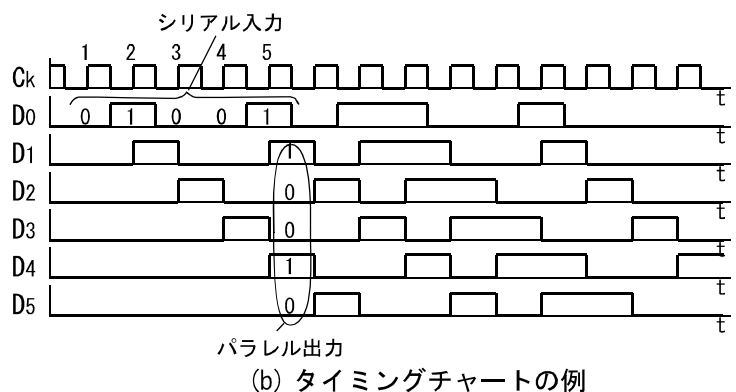


図 3、D-FF を用いた、5 ビットのシフトレジスタ
電源投入時の $D_1 \sim D_5$ の値は不定であるが、0 と仮定して
タイミングチャートを描いた。

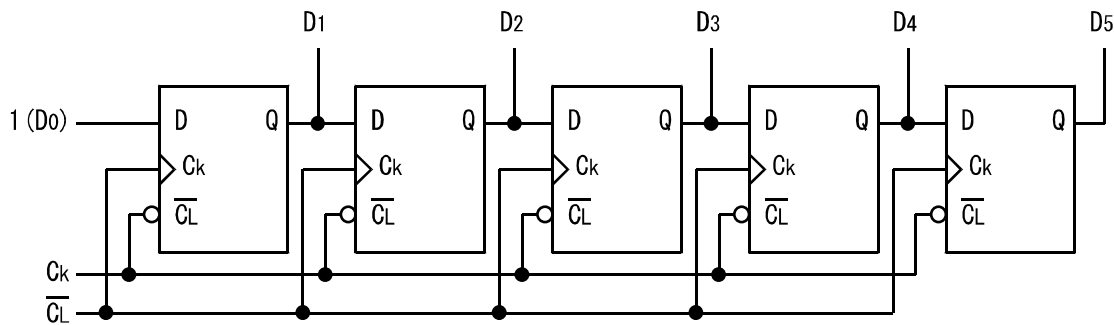
D_5 端子から信号を取り出すと、 D_0 端子に入力した信号を 5 クロック分遅延させた信号が得られる。つまり、シフトレジスタは遅延回路として用いる事ができる。

また、 D_0 端子から 5 ビット分の情報を入力した後に $D_1 \sim D_5$ 端子から信号を取り出すと、シリアルからパラレルの変換が行える。シリアルとは、1 本の信号線を用いて、送信したいビット数分のクロックを使って、情報を転送する通信方式の事である。またパラレルとは、送信したいビット数の信号線を用意して、1 クロックで情報を転送する通信方式の事である。図 3(b)では、 D_0 端子に 01001 というビット列を順に入力すると、5 クロック目に $D_1 \sim D_5$ 端子に 01001B(ただし D_5 を最上位ビット、 D_1 最下位ビットとする)の 2 進数が得られている。

このように応用範囲の広いシフトレジスタであるが、今回は、5 個の LED の点灯状態を順次右側にシフトするために用いる。5 個の D-FF を使い、またそれらのクロック端子は同じ信号線に繋がっている必要があるが、74HC174 には 6 個の D-FF があり、1 個あまらせる事で 5 個の D-FF が得られるし、また全 D-FF のクロック端子は、元々 74HC174 の内部で接続されている。

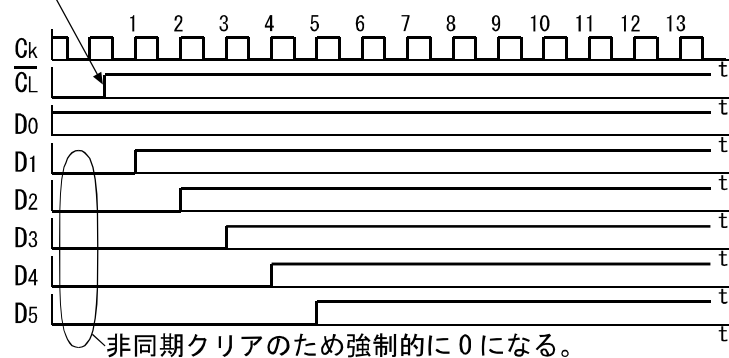
そこで次のページの、図 4 の様に、非同期クリア端子付きの D-FF を 5 個つなぎ、 D_0 端子に論理 1 を入力する、5 ビットのシフトレジスタを考える。

図 4(b)はこの回路のタイミングチャートの例である。初期に $\overline{C_L}$ を 0 にしておき、全ての D-FF の出力、すなわち $D_1 \sim D_5$ を 0 にする。(非同期クリア) その後 $\overline{C_L}$ を 1 にし、その後はずっと 1 を保つとする。そうすると、非同期クリア解除後の最初のクロックで D_1 が 1 になり、2 番目のクロックで D_2 が 1 になり…



(a) 回路図

非同期クリア解除



(b) タイミングチャートの例

図 4、非同期クリア端子付き 5 ビットシフトレジスタに 1 を入力した場合

という具合に、5 クロック目に D_5 が 1 になるまで、順次 D-FF の出力が、1 つずつ 1 になっていく。6 クロック目以降は変化がなく、 $D_1 \sim D_5$ が全て 1 になったまま変化しなくなる。

このことから、押すと $\overline{C_L}$ が 0 になる押しボタンスイッチと、押すと C_k が 1 になる押しボタンスイッチを設け、 $D_1 \sim D_5$ のそれぞれに、信号が 1 になれば LED が点灯する回路を付ければ、次の表 2 に示す様な LED の点灯をする、得点表示回路ができる。(この得点表示回路で数えられるのは最大 5 点である)

表 2、図 4 の得点表示回路の表示の変化

スイッチを 押した回数	LED の表示	スイッチを 押した回数	LED の表示
0	○ ○ ○ ○ ○	5	● ● ● ● ●
1	● ○ ○ ○ ○	6	● ● ● ● ●
2	● ● ○ ○ ○	7	● ● ● ● ●
3	● ● ● ○ ○	8	● ● ● ● ●
4	● ● ● ● ○	9 以上	● ● ● ● ●

○ : 消灯
● : 点灯

さらに、図 4 の回路を改良して、表 1 の表示を実現する回路を完成させてみよう。図 4 の回路において、 D_0 端子に 1 を入力する代わりに、 D_5 を論理反転させたものを入力すると、次のページの、図 5 の様になる。

図 4(b)では D_0 がずっと 1 であるのに対して、図 5(b)では、5 クロック目に D_0 が 0 になる。そのため、

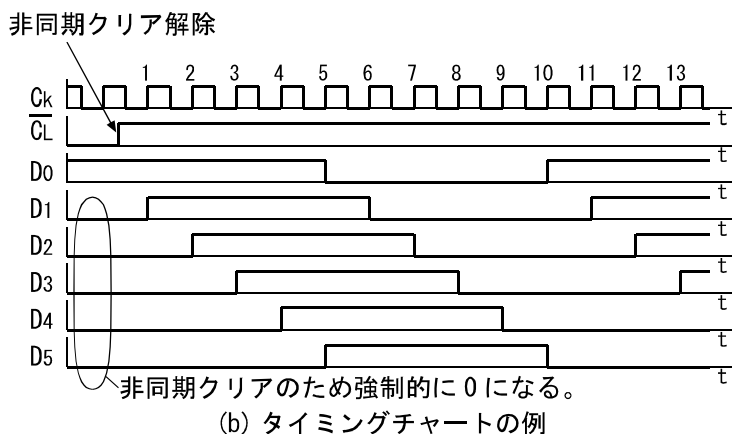
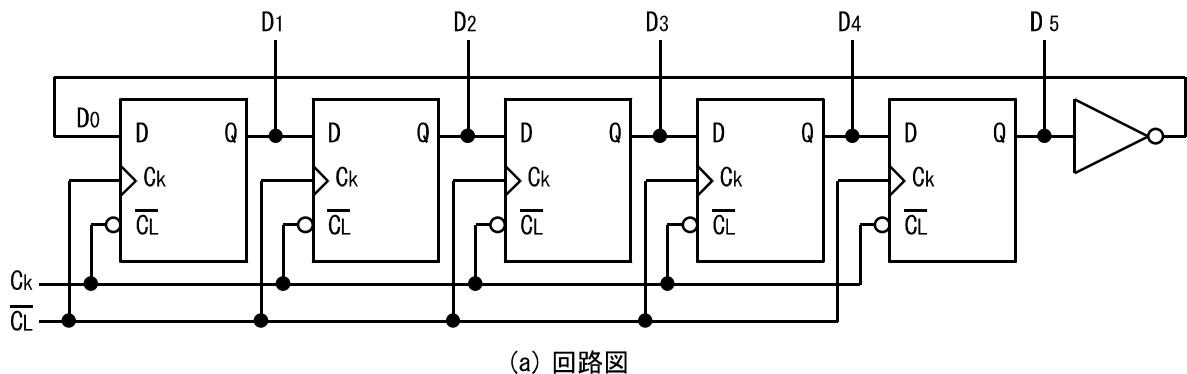


図 5、10 進ジョンソンカウンタ

6 クロック目以降、 D_1 から順に 0 になってゆく。さらに 10 クロック目には D_0 が 1 に戻るため、11 クロック目以降、 D_1 から順に 1 になってゆく。このような回路をジョンソンカウンタと呼ぶ。図 5 の回路では、10 クロックごとに元の状態に戻るため、10 進ジョンソンカウンタと呼ぶ。

$D_1 \sim D_5$ のそれぞれに、信号が 1 になれば LED が点灯する回路を付ければ、表 1 に従って LED が点灯する回路になる事が、図 5(b) のタイミングチャートから理解できるだろう。

図 5 に LED や押しボタンスイッチなどを追加して作った、得点表示回路の回路図を、次のページの図 6 に示す。

この回路では、図 7 に示すシュミットトリガ入力の NOT 回路を使用している。シュミットトリガ入力とは、入力電圧が 0 から 1 に変化するときの閾値と 1 から 0 に変化するときの閾値が異なるデジタル回路の入力方式の事であるが、詳しい話は後の授業で説明する予定である。

74HC14 は、シュミットトリガ入力の NOT 回路が 6 個入った CMOS IC である。74HC14 のピン配置を図 8 に示す。図 6 の回路では、6 個のシュミットトリガ入力 NOT 回路の内、2 個を使用している。

得点が入った時に押し押しボタンスイッチを、図 9(a) の様に、プルダウン抵抗と、VCC につながった押しボタンスイッチで構成すると、チャタリングが発生して、ボタンを 1 回押しただけで、複数の得点が加算されてしまう。チャタリングとは、スイッチの ON・OFF の際に、接点が振動して ON と OFF を繰り返したり、接触状態が不安定なために、接触抵抗が大きく変化したりする現象の事である。チャタリングが発生すると、図 9(b) の様に ON と OFF を切り替える際に、入力が 0 と 1 の間で短時間に何回も変化する。

図 6 では、チャタリングの影響を除去するための回路を追加してあるが、チャタリング除去回路については、後の授業で説明する予定である。このチャタリング防止回路では、入出力間で論理が反転するため、プルアップ抵抗と押しボタンスイッチで得点スイッチを構成している。

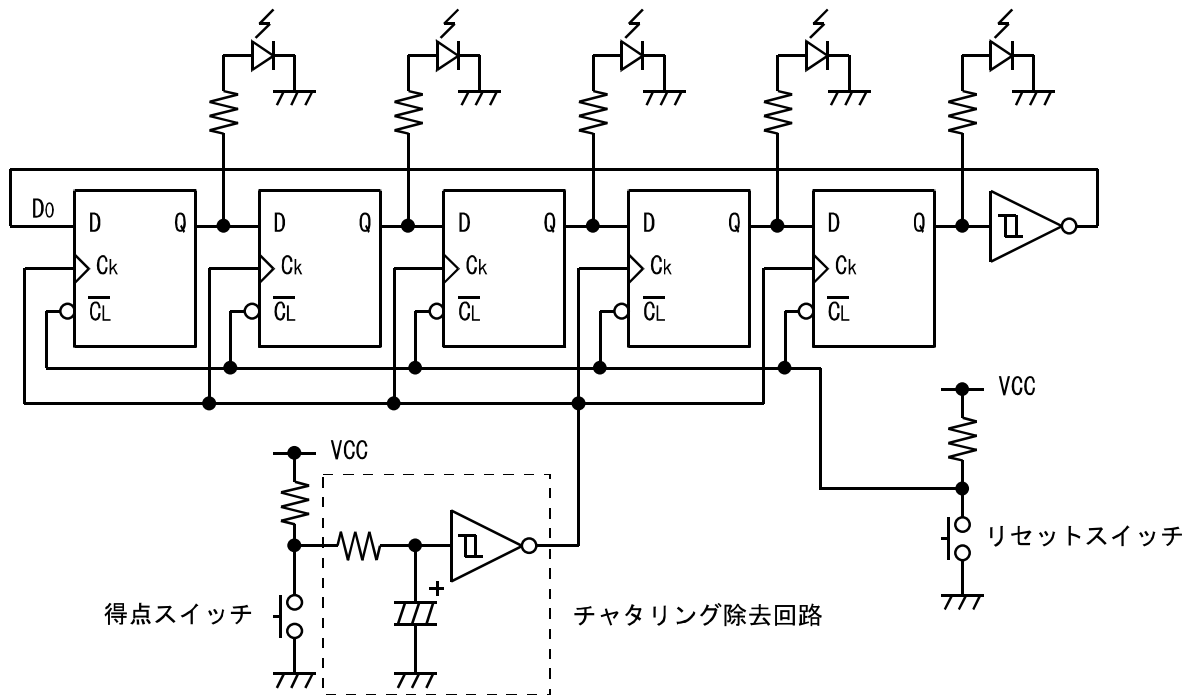


図 6、得点表示回路の回路図

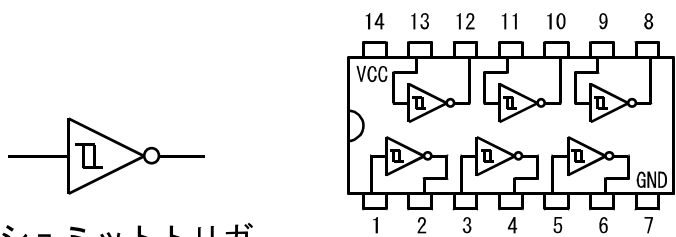
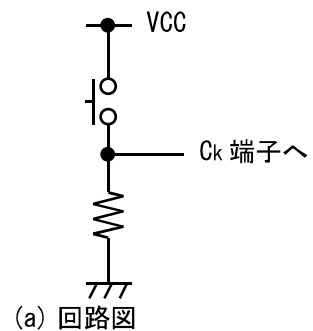
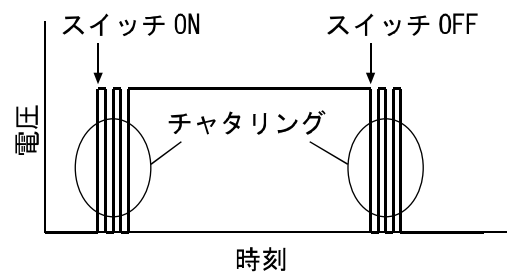


図 7、シュミットトリガ
入力の NOT 回路

図 8、74HC14 のピン配置



(a) 回路図



(b) 電圧波形

図 9、チャタリングの発生する
得点スイッチ

なお、チャタリング除去回路にはシュミットトリガ入力の NOT 回路が必要であるが、図 6 右上の NOT 回路は、シュミットトリガ入力であっても、そうでなくても正常に動作する。この NOT 回路もシュミットトリガ入力にしておけば、74HC14 の空いている NOT 回路を利用でき、IC の数を減らせるため、シュミットトリガ入力にしている。

各 D-FF の出力に接続されている LED には、直列に抵抗が接続されている。これは、LED に直接 CMOS IC の出力を接続すると、電流が流れすぎ、LED が故障するためである。LED の電流を制限するための抵抗の抵抗値の計算法については、時間の都合で割愛する。

図 6 の回路図で、おおよそ得点表示回路が完成してはいるが、回路を駆動するための電池を入れる電池ホルダや、電源電圧を安定化するためのコンデンサ(パスコンという)、電源スイッチ、電源が入っている事を示す LED などを追加し、CMOS IC の使っていないピンを処理するための配線を書き加えると、次のページの図 10 の様な回路図になる。

74HC シリーズの CMOS は、2~6V と広い電源電圧で動作する。図 10 の回路では、3V のコイン型電池 (CR2032) を用いる事で、回路を小型化している。

図 10 の回路をユニバーサル基板上に組み立てた物の写真を図 11 に示す。

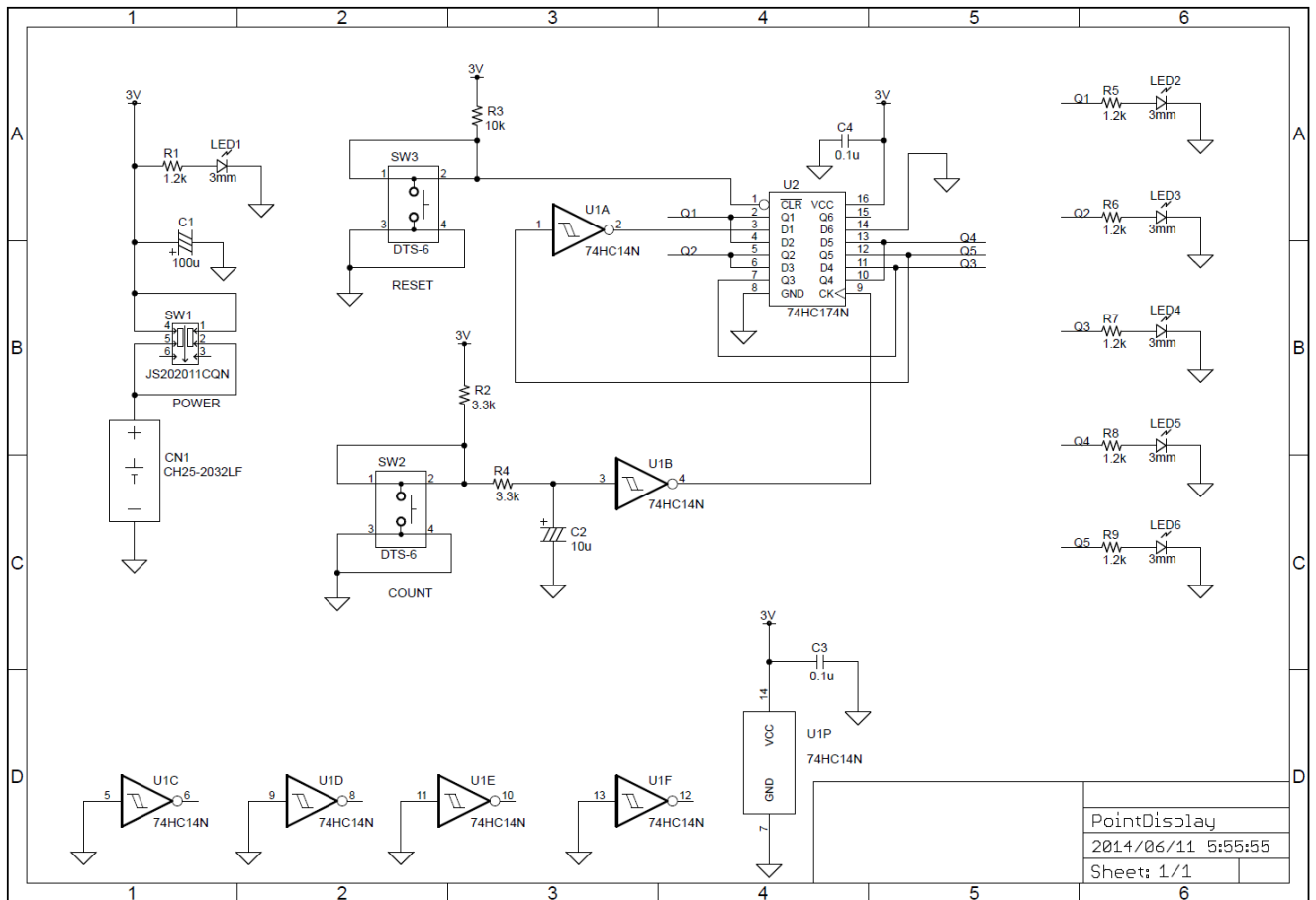


図10、電池ホルダなどを書き加えた得点表示回路の回路図

・早押し判定回路の設計

【設計目標】

クイズ番組などで使われる早押し判定機を設計したい。クイズ回答者は3人いるものとし、各回答者用の押しボタンスイッチ(計3個)がある。また、どの回答者が早くボタンを押したかを判定するためのLED(計3個)があり、一番早くボタンを押した回答者のLEDのみが点灯するとする。LEDを消灯して、次の問題に進むための、リセットボタンも設ける。

【設計例】

一番早くボタンを押した回答者のLEDのみが点灯するという条件をなくして、ボタンを押した回答者のLEDが全て点灯するというように、条件を緩和すれば、非同期の(クロック入力端子のない)RS-FFを3つ用いて、簡単に回路が作れる。

次のページの図12が、早押し判定機能を省いた、ボタン押下判定回路である。この回路は、SW1をONにするとLED1が点灯し、その後、SW1をOFFにしてもLEDの点灯は保持される。同様に、SW2をONにするとLED2が、SW3をONにするとLED3がそれぞれ点灯し、スイッチをOFFにしてもLEDの点灯は保持される。一度スイッチをONにするとLEDの点灯が保持されるのは、RS-FFのS端子にスイッチからの信号を入力しているからである。点灯しているLEDを消すには、SW4をONにすればよい。

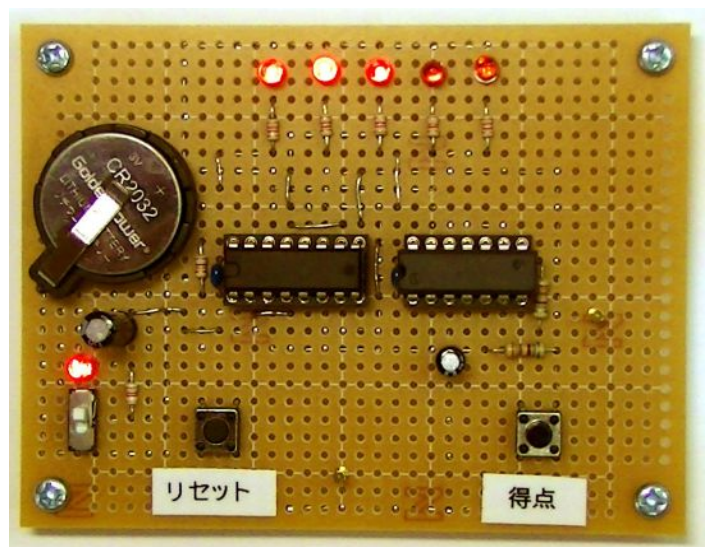


図11、完成した得点表示回路

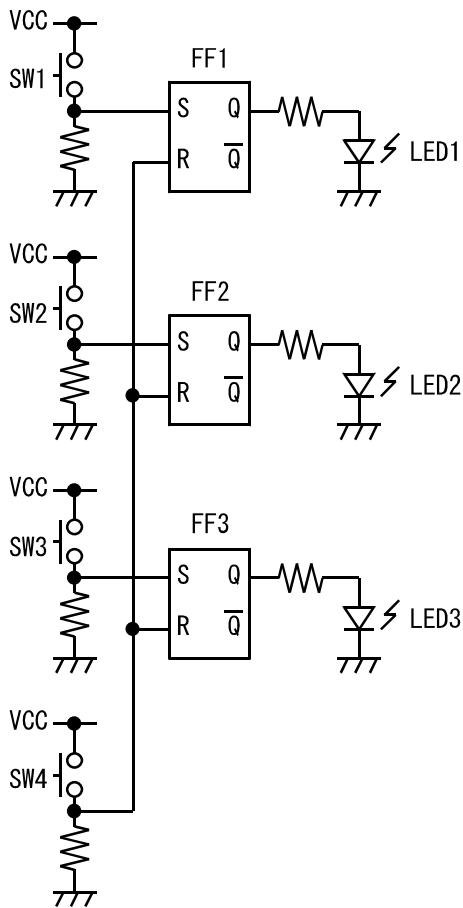


図 12、早押し判定機能を省いた
ボタン押下判定回路

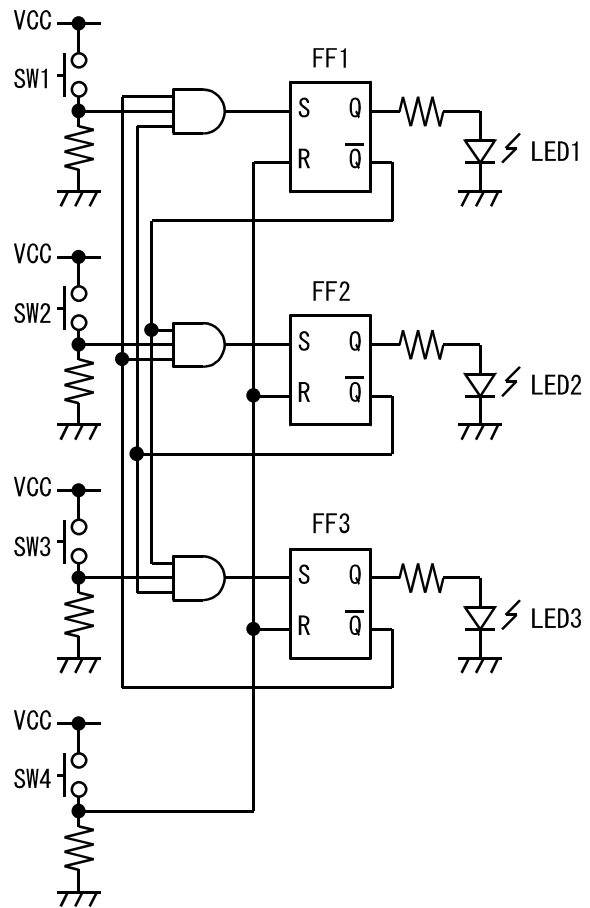


図 13、早押し判定回路

3つのRS-FFのR端子に信号が入力され、全てのLEDが消える。

図12の回路を改良して、早押し判定機能を追加しよう。3入力のAND回路を利用して、他の回答者がまだボタンを押していないときにのみ、自分のボタンの信号がRS-FFのS端子に伝わるようにしたのが図13である。

図13の回路では、SW4を押してRS-FFをリセットした後、 \bar{Q} は1になる。よって、3つのAND回路は、SW1~SW3のからの信号をFF1~FF3にそのままつたえる。しかし、その後例えばSW1を押した場合、その瞬間にFF1の \bar{Q} が0に変化するため、SW2やSW3をその後に押してもFF2やFF3のS端子には信号が伝わらなくなる。その結果、最も早くボタンを押した回答者のLEDのみが点灯する。

74HCシリーズの汎用ロジックICには、74HC279という4回路入りのRS-FFがあるが、 \bar{Q} 端子がな

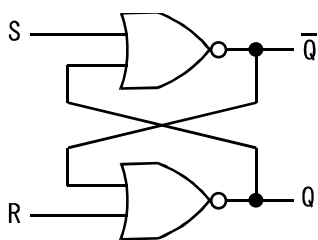


図 14、NOR回路で構成
したRS-FF

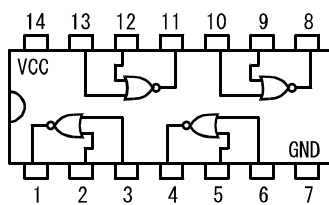


図 15、74HC02のピン配置

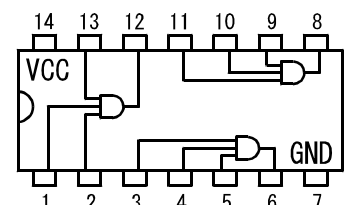


図 16、74HC11のピン配置

いため、不便であり、またこの IC は入手性が良くない。そこで、図 14 の様に、NOR 回路を使って RS-FF を構成する事にする。74HC02 を使えば、NOR 回路が 4 個入っているのので、2 つの IC で 3 つの RS-FF を構成できる。(NOR 回路が 2 個余る)

3 入力の AND 回路に関しては、74HC11 を使えばちょうど 3 回路内蔵されている。図 16 に 74HC11 のピン配置を示す。

以上のことを踏まえ、さらに電池ホルダ、パソコンなどの部品を追加し、抵抗などの定数を決めると、早押し判定回路が完成する。完成した基板の写真を図 17 に、回路図を次のページの図 18 に示す。

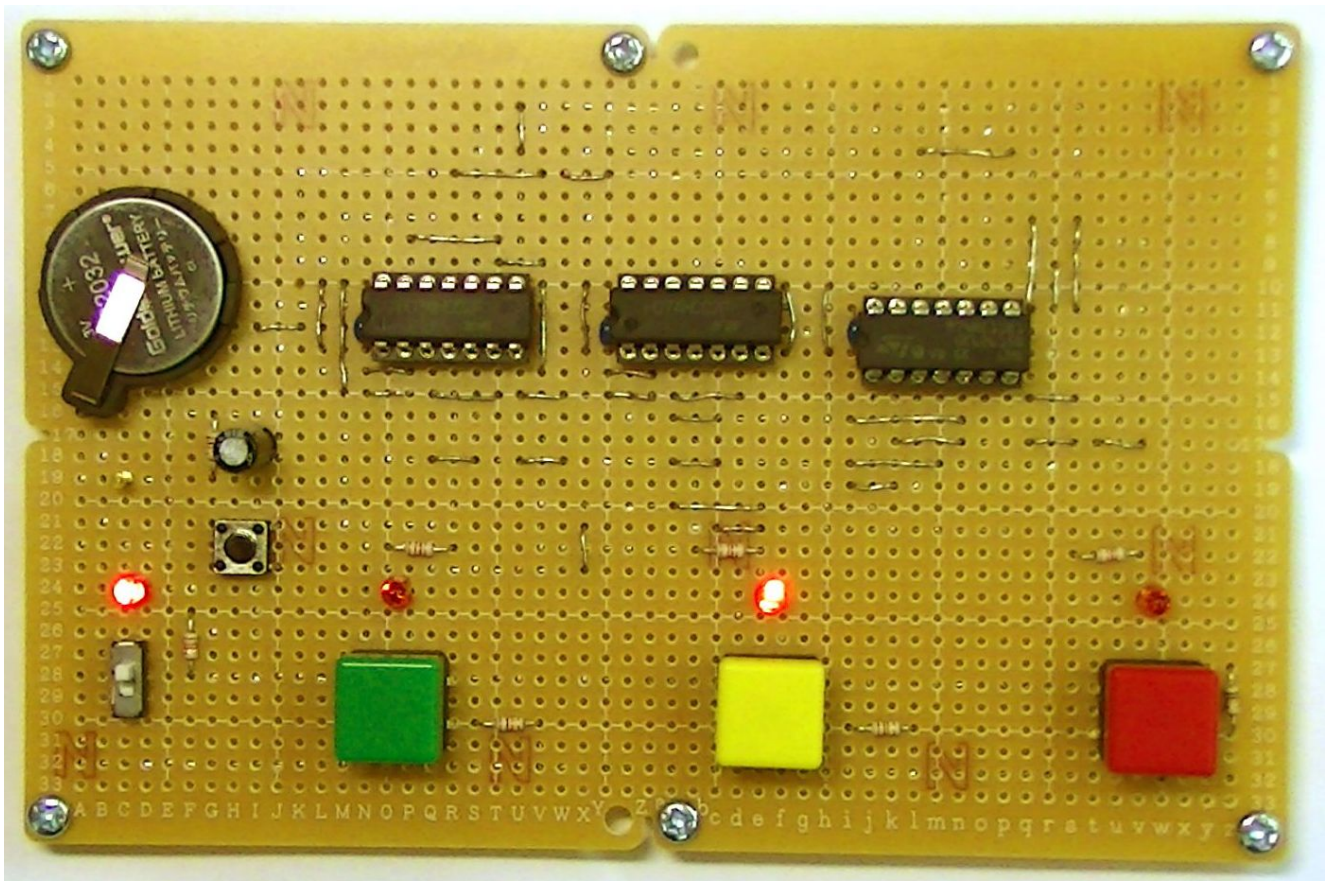


図17、早押し判定回路の基板の写真

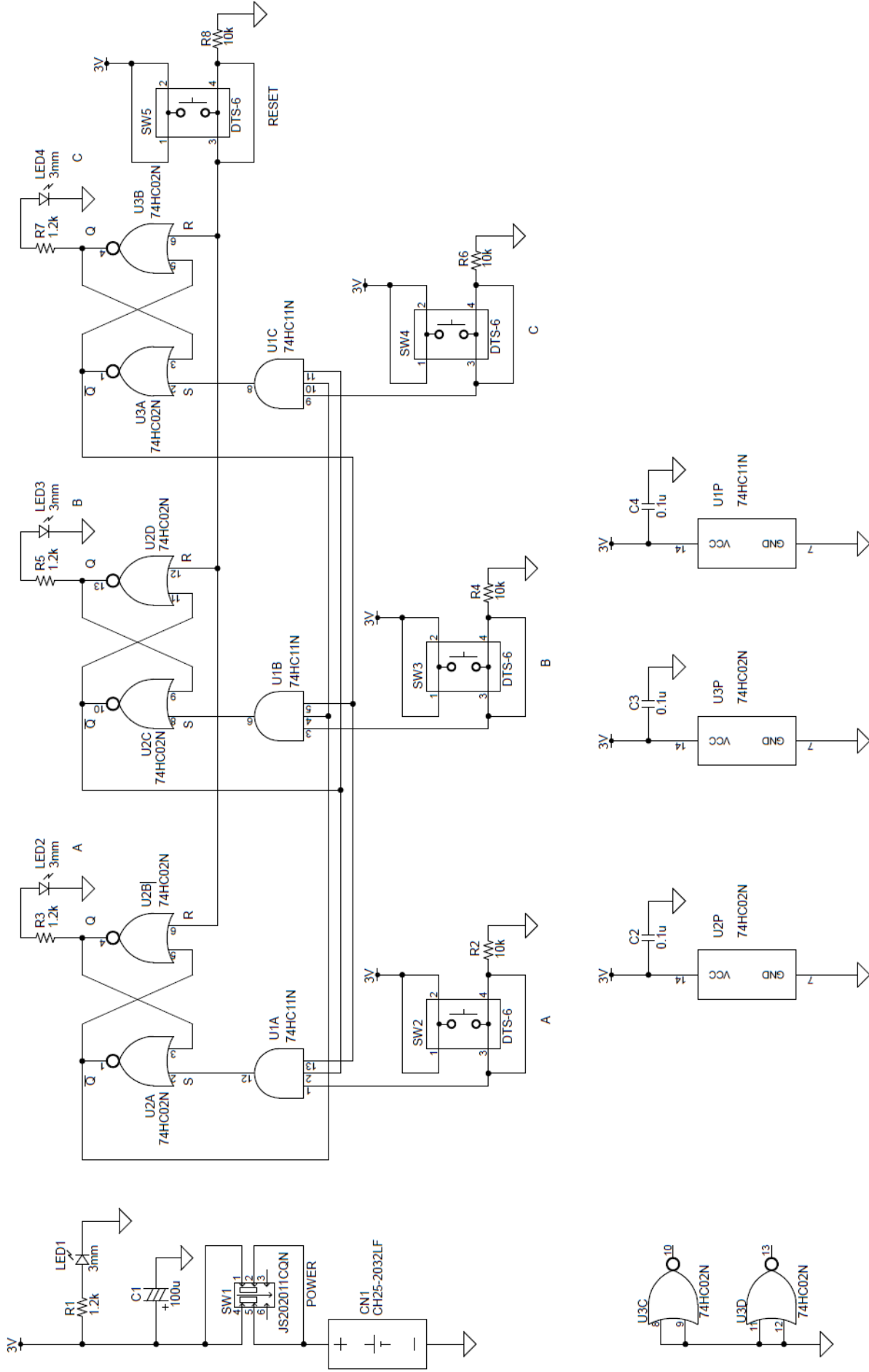


図18、電池ホルダなどを書き加えた早押し判定回路の回路図